

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-283804

(43)Date of publication of application : 15.10.1999

(51)Int.Cl.

H01C 7/00

H01C 1/14

H01C 7/04

(21)Application number : 10-086700

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 31.03.1998

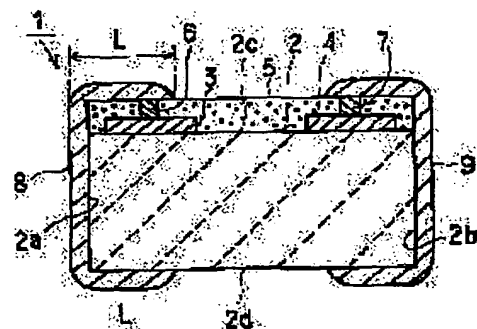
(72)Inventor : KAWAMOTO TETSUYA
SHIMADA MINORU

(54) RESISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a resistor which reduces the variations in resistance value by making it difficult to generate the effects on a resistance value by the size of an external electrode and easily forms the external electrode a size suited to surface mounting by facilitating the fine adjustment of the resistance value.

SOLUTION: For a resistor 1, first and second internal electrodes 3 and 4 are formed on the top surface of a thermistor element assembly 2 as a resistor element assembly so as to make ohmic contact with the top surface 2c at a prescribed distance, the electrodes 3 and 4 are coated with an insulated layer 5, first and second through-hole electrodes 6 and 7 are formed so as to penetrate the layer 5, the electrodes 3 and 4 are connected respectively to first and second external electrodes 8 and 9 by the electrodes 6 and 7 and the electrodes 8 and 9 are not in ohmic contact with respect to the assembly 2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 2 8 3 8 0 4

(43) 公開日 平成11年(1999)10月15日

(51) Int. Cl. ⁶

H 0 1 C 7/00
1/14
7/04

識別記号

F I

H 0 1 C 7/00
1/14
7/04

B
Z

審査請求 未請求 請求項の数 7

O L

(全 7 頁)

(21) 出願番号 特願平10-86700

(22) 出願日 平成10年(1998)3月31日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 河本 哲也

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72) 発明者 島田 実

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

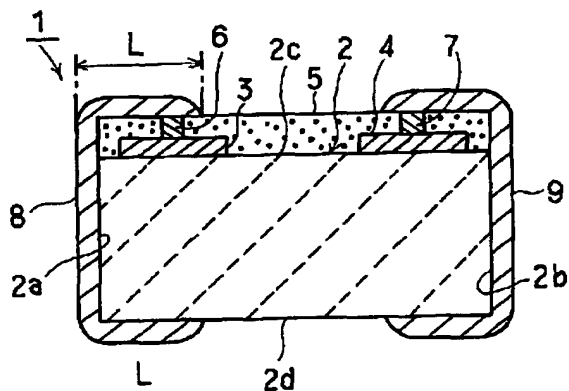
(74) 代理人 弁理士 宮▼崎▲ 主税 (外1名)

(54) 【発明の名称】 抵抗器

(57) 【要約】

【課題】 外部電極の寸法による抵抗値への影響が生じ難く、抵抗値のばらつきが少なく、かつ抵抗値の微調整を容易に行うことができ、表面実装に適した寸法の外部電極を容易に形成し得る抵抗器を得る。

【解決手段】 抵抗素体としてのサーミスタ素体 2 の上面において所定距離を隔てて該上面 2 c にオーミック接触するように第 1、第 2 の内部電極 3、4 が形成されており、内部電極 3、4 が絶縁層 5 により被覆されており、絶縁層 5 を貫くように第 1、第 2 のスルーホール電極 6、7 が形成されており、第 1、第 2 のスルーホール電極 6、7 により、内部電極 3、4 が、それぞれ第 1、第 2 の外部電極 8、9 に接続されており、第 1、第 2 の外部電極 8、9 がサーミスタ素体 2 に対してオーミック接触されていない抵抗器 1。



【特許請求の範囲】

【請求項1】 厚み方向に対向し合っている第1、第2の主面を有する抵抗素体と、
前記抵抗素体の第1の主面に形成された絶縁層と、
前記抵抗素体の第1の主面において所定距離を隔ててかつ抵抗素体主面にオーミック接触するように形成された第1、第2の内部電極とを備え、該第1、第2の内部電極が、絶縁層によって被覆されて埋設されており、
前記絶縁層を厚み方向に貫くように形成されており、一端が第1、第2の内部電極にそれぞれ接続されており、他端が絶縁層外表面に露出されている第1、第2のスルーホール電極と、

前記第1、第2のスルーホール電極の他端にそれぞれ電気的に接続されるように、かつ抵抗素体にオーミック接触しないように抵抗器外表面に形成された第1、第2の外部電極とをさらに備えることを特徴とする、抵抗器。

【請求項2】 前記抵抗素体内に埋設された第3の内部電極をさらに備える、請求項1に記載の抵抗器。

【請求項3】 前記抵抗素体の第2の主面に形成された第2の絶縁層をさらに備える、請求項1または2に記載の抵抗器。

【請求項4】 前記抵抗素体の第2の主面に、所定距離を隔ててかつ抵抗素体にオーミック接触するように形成された第3、第4の内部電極をさらに備え、第3、第4の内部電極が前記第2の絶縁層により被覆されて埋設されており、かつ第3、第4の内部電極に一端が、第1、第2の外部電極に他端がそれぞれ接続された第3、第4のスルーホール電極が第2の絶縁層を貫くように形成されている、請求項3に記載の抵抗器。

【請求項5】 前記抵抗素体が、前記第1、第2の主面を結んでおりかつ互いに対向されている第1、第2の端面及び第1、第2の側面を有し、
前記第1、第2の外部電極が、それぞれ、第1、第2の端面を被覆するようにかつ絶縁層及び第2の絶縁層の外表面に至るように形成されている請求項1～4のいずれかに記載の抵抗器。

【請求項6】 前記抵抗素体がセラミックスにより構成されており、前記絶縁層が抵抗素体主面に焼き付けられたガラス層により構成されている、請求項1～5のいずれかに記載の抵抗器。

【請求項7】 前記抵抗素体が、サーミスタ素体であり、それによってサーミスタが構成されている、請求項1～6のいずれかに記載の抵抗器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、固定抵抗やサーミスタなどの抵抗器に関し、より詳細には、抵抗値を取り出すための電極構造が改良された抵抗器に関する。

【0002】

【従来の技術】 従来、温度検知や電子回路の温度補償な

どにチップ型サーミスタが広く用いられている。この種のチップ型サーミスタの一例を、図8に示す。

【0003】 チップ型サーミスタ51は、半導体セラミックスよりなるサーミスタ素体52の対向し合う端面52a、52bに第1、第2の外部電極53、54をそれぞれ形成した構造を有する。外部電極53、54は、端面52a、52bを覆うだけでなく、サーミスタ素体52の上面52c、下面52d及び両側面（図示されず）に至るように形成されており、それによってプリント回路基板などへの表面実装が容易とされている。

【0004】 同様の外部電極を有するチップ型サーミスタとして、図9に示すチップ型サーミスタ55及び図10に示すチップ型サーミスタ56も知られている。チップ型サーミスタ55では、サーミスタ素体52内において、複数の内部電極57a～57dがサーミスタ素体層を介して重なり合うように配置されている。また、チップ型サーミスタ56では、サーミスタ素体52内において、第1の外部電極53に接続された内部電極58aと、第2の外部電極54に接続された内部電極58bとが互いの先端が所定距離を隔てて対向されている。

【0005】 チップ型サーミスタ51、55、56では、表面実装を容易とするために、第1、第2の外部電極53、54が、サーミスタ素体52の上面52c、下面52d及び両側面にも至るように形成されていた。しかしながら、上記外部電極53、54のサーミスタ素体52の上面52c、下面52d及び両側面に至っている部分の長さL（これを以下、外部電極の被り深さLと表現する）により抵抗値がばらつくという問題があった。すなわち、上記外部電極の被り深さLのばらつきにより、目的とする抵抗値から抵抗値がずれるという問題があった。

【0006】 さらに、外部電極53、54は、導電ペーストの塗布・焼付け等により形成されているが、高精度に形成することが困難であった。従って、外部電極53、54自体の寸法精度のばらつきによっても、抵抗値のばらつきが大きくなり、抵抗値の偏差の狭い製品を得ようとした場合歩留りが低下するという問題があった。

【0007】 加えて、上記外部電極53、54の被り深さLを変更した場合、表面実装時にツームストンと称されている現象、すなわちチップ型サーミスタ51、55、56が一方の外部電極を下方として直立する現象が生じたり、表面実装時に熔融半田を利用した位置ずれの自己補正的確に行われなかったりする。従って、上記外部電極53、54の被り深さLを、抵抗値の調整のためだけに變更し難かった。例えば、L寸法を小さくした場合、自動機を用いてプリント回路基板上に高精度に実装することができなくなることがあった。

【0008】 他方、上記のような外部電極53、54の被り深さLの影響による抵抗値の変動が生じ難いチップ型サーミスタが提案されている。このチップ型サーミ

タを図11に示す。

【0009】チップ型サーミスタ59では、サーミスタ素体52の上面52c、下面52d及び両側面にガラスを焼き付けることにより絶縁層60が形成されている。外部電極53、54は、サーミスタ素体52の端面52a、52bを覆い、絶縁層60の外表面に至るように形成されている。従って、チップ型サーミスタ51、55、56と同様にプリント回路基板などに外部電極53、54を利用して容易に表面実装することができる。

【0010】しかも、外部電極53、54は、端面52a、52bにおいてのみサーミスタ素体52と接続されているので、すなわち端面52a、52b以外のサーミスタ素体面との間には絶縁層60が介在されている。すなわち、チップ型サーミスタ59では、端面52a、52bの面積、あるいはサーミスタ素体52の厚みが抵抗値を支配する。従って、外部電極53、54の被り深さLの影響を受け難い。

【0011】

【発明が解決しようとする課題】しかしながら、チップ型サーミスタ59において抵抗値を調整するには、端面52a、52bの面積あるいはサーミスタ素体52の厚みを変化させる必要があった。従って、抵抗値を微妙に調整する必要がある場合、抵抗値を容易に調整することができず、従って目的とする抵抗値どおりのチップ型サーミスタ59を容易に得ることができなかった。すなわち、抵抗値調整に際し、サーミスタ素体52の厚みを変化したりする必要があるため、製造工程が複雑となり、コストが高くつくという問題があった。

【0012】加えて、サーミスタ素体52の厚みを変化させると、チップの外形が変更されることになるため、自動機によりプリント回路基板などに実装する際に自動機のノズル等を調整しなければならないという問題もあった。

【0013】上記のような問題は、サーミスタだけでなく、一对の端面から上面、下面及び側面等に至る外部電極を備えた他のチップ型抵抗器においても同様であった。本発明の目的は、外部電極の大きさによる抵抗値のばらつきが生じ難く、目的とする抵抗値を容易に実現することができ、かつ抵抗値の微調整を容易に行い得る抵抗器を提供することにある。

【0014】

【課題を解決するための手段】請求項1に記載の発明に係る抵抗器は、厚み方向に対向し合っている第1、第2の主面を有する抵抗素体と、前記抵抗素体の第1の主面に形成された絶縁層と、前記抵抗素体の第1の主面において所定距離を隔ててかつ抵抗素体主面にオーミック接触するように形成された第1、第2の内部電極とを備え、該第1、第2の内部電極が、絶縁層によって被覆されて埋設されており、前記絶縁層を厚み方向に貫くように形成されており、一端が第1、第2の内部電極にそれ

ぞれ接続されており、他端が絶縁層外表面に露出されている第1、第2のスルーホール電極と、前記第1、第2のスルーホール電極の他端にそれぞれ電氣的に接続されるように、かつ抵抗素体にオーミック接触しないように抵抗器外表面に形成された第1、第2の外部電極とをさらに備えることを特徴とする。

【0015】請求項2に記載の発明では、上記抵抗素体内に第3の内部電極が埋設されている。請求項3に記載の発明では、上記抵抗素体の第2の主面に第2の絶縁層が形成されている。

【0016】請求項4に記載の発明では、上記抵抗素体の第2の主面側においても、第1の主面側の構造と同じ構造が形成されている。すなわち、抵抗素体の第2の主面に、所定距離を隔ててかつ抵抗素体2をオーミック接触するように第3、第4の内部電極が形成されており、第3、第4の内部電極が上記第2の絶縁層により被覆されて埋設されている。さらに、第3、第4の内部電極に一端が、第1、第2の外部電極に他端がそれぞれ接続されるように、第3、第4のスルーホール電極が第2の絶縁層を貫くように形成されている。

【0017】請求項5に記載の発明では、前記抵抗素体が、前記第1、第2の主面を結んでおりかつ互いに対向されている第1、第2の端面及び第1、第2の側面を有し、前記第1、第2の外部電極が、それぞれ、第1、第2の端面を被覆するように絶縁層及び第2の絶縁層の外表面に至るように形成されている。

【0018】請求項6に記載の発明では、上記抵抗素体がセラミックスにより構成されており、上記絶縁層が、該抵抗素体主面に焼き付けられたガラス層により構成されている。請求項7に記載の発明では、上記抵抗素体がサーミスタ素体であり、それによってサーミスタが構成されている。

【0019】

【発明の実施の形態】以下、本発明の非限定的な実施例を挙げることにより、本発明を明らかにする。

【0020】図1は、本発明の第1の実施例に係るチップ型負特性（NTC）サーミスタを説明するための断面図であり、図2はその外観を示す斜視図である。チップ型NTCサーミスタ1は、負の抵抗温度特性を有する半導体セラミックスにより構成された矩形板状のサーミスタ素体2を有する。

【0021】サーミスタ素体2は、互いに対向された第1、第2の端面2a、2b、第1の主面としての上面2c、第2の主面としての下面2d及び側面2e、2f（図2参照）を有する。

【0022】サーミスタ素体2の上面2c上には、所定距離を隔てて第1、第2の内部電極3、4が形成されている。第1、第2の内部電極3、4は、例えば、Ag、Ag-Pd、Pd、Au、Pt、Cu、Cr、Ni、Ni-Crよりなり、サーミスタ素体2の上面2cにオー

ミック接触されている。

【0023】内部電極3, 4は、上記金属をサーミスタ素体2の上面2c上に、蒸着、メッキもしくはスパッタリングなどの適宜の薄膜形成法により付与することにより形成されている。もともと、内部電極3, 4の形成方法は特に限定されるものではなく、導電ペーストの塗布・焼付け等により形成されていてもよい。

【0024】また、サーミスタ素体2の上面2cを覆うように、かつ第1, 第2の内部電極3, 4が埋設されるように、サーミスタ素体2の上面2c上に絶縁層5が形成されている。絶縁層5は、本実施例では、ガラスペーストを塗布し、焼き付けることにより形成されている。

【0025】絶縁層5を貫くように、第1, 第2のスルーホール電極6, 7が形成されている。スルーホール電極6は、その下端が内部電極3に接続されるように形成されており、上端は絶縁層5の上面に露出されている。同様に、スルーホール電極7は、下端が第2の内部電極4に接続されており、上端が絶縁層5の上面に露出されている。

【0026】スルーホール電極6, 7は、絶縁層5を構成するガラスグリーンシートを用意する際に、該ガラスグリーンシートに貫通孔を形成し、該貫通孔に導電ペーストを充填することにより形成することができる。この場合、絶縁層5を焼き付ける工程は、サーミスタ素体2を得る工程と同時に進めてもよい。すなわち、先ず複数枚のセラミックグリーンシートを積層し、得られた積層体の上面に内部電極3, 4を形成した後、上記導電ペーストが充填された貫通孔を有するガラスグリーンシートを積層し、焼成することにより、サーミスタ素体2及び絶縁層5の焼成と同時にスルーホール電極6, 7を完成させてもよい。

【0027】あるいは、サーミスタ素体2として、予め焼成されたセラミック焼結体を用意し、その上面に内部電極3, 4を形成した後、上記ガラスグリーンシートを積層し、焼き付けることにより、絶縁層5の焼付けとスルーホール電極6, 7の焼成とを完了してもよい。

【0028】チップ型NTCサーミスタ1では、第1, 第2の外部電極8, 9が、端面2a, 2bを覆うように形成されている。外部電極8, 9は、導電ペーストの塗布・焼付けにより形成されており、端面2a, 2b上だけでなく、サーミスタ素体2の下面2d、両側面2e, 2f及び絶縁層5の上面にも至るように形成されている。そして、絶縁層5の上面に至る部分において、外部電極8, 9が、スルーホール電極6, 7の上端にそれぞれ電気的に接続されている。

【0029】なお、外部電極8, 9を構成する電極材料としては、サーミスタ素体2にオーミック接触し得ない材料が用いられている。例えば、サーミスタ素体2が、Mn, Co, Ni系半導体セラミックスにより構成されている場合、電極8, 9を構成する電極材料としては、

Alなどの卑金属などを用いることができる。

【0030】従って、チップ型NTCサーミスタ1の抵抗値は、内部電極3, 4間で取り出される抵抗値となる。すなわち、外部電極8, 9と、サーミスタ素体2とはオーミック接触していないので、外部電極8, 9の被り深さLや、端面2a, 2bの大きさによって、抵抗値がほとんど影響されない。

【0031】他方、内部電極3, 4は、サーミスタ素体2の上面において上述した適宜の方法により容易に形成することができ、従って高精度に形成することができ。よって、チップ型NTCサーミスタ1では、抵抗値の精度を高めることができ、かつその抵抗値の調整についても内部電極3, 4の寸法及び内部電極3, 4間の距離とを変更するだけで容易に行うことができる。

【0032】加えて、外部電極8, 9の被り深さLが抵抗値に影響し難いため、該被り深さLを表面実装が容易に行い得るように十分に大きくすることができる。また、自動機による実装に際しての最適な長さを有するように上記外部電極被り深さLを設定することができる。

【0033】図3～図7は、本発明の他の実施例に係る各チップ型NTCサーミスタを説明するための断面図であり、第1の実施例について示した図1に相当する図である。以下の実施例においては、第1の実施例と同一部分については、同一の参照番号を付することにより、その説明を省略することとする。

【0034】図3に示すチップ型NTCサーミスタ11では、サーミスタ素体2の第2の主面としての下面2d上に第2の絶縁層5Aが形成されている。このように、本発明においては、サーミスタ素体2の対向し合う第1, 第2の主面の双方に絶縁層5, 5Aを形成してもよい。

【0035】絶縁層5Aが形成されているため、チップ型NTCサーミスタ1では、外部電極8, 9は、下面2d側においては絶縁層5A上に至るように形成されている。図4に示すチップ型NTCサーミスタ12では、サーミスタ素体2の下面2d側においても、第1の実施例と同様の電極構造が構成されている。すなわち、第2の主面としての2d上に、第3, 第4の内部電極3A, 4Aが形成されており、かつ第3, 第4の内部電極3A, 4Aを覆うように、第2の絶縁層5Aが形成されている。また、絶縁層5Aを貫くように第3, 第4のスルーホール電極6A, 7Aが形成されている。スルーホール電極6A, 7Aの上端は第3, 第4の内部電極3A, 4Aにそれぞれ接続されており、下端は絶縁層5Aの下面に露出されている。スルーホール電極6A, 7Aの下端は、外部電極8, 9に電気的に接続されている。

【0036】また、図5に示す第4の実施例に係るチップ型NTCサーミスタ13では、サーミスタ素体2内に第3の内部電極14が埋設されている。内部電極14は、端面2a, 2b及び両側面には至らないように形成

されている。このうち、非接続型の第3の内部電極14を形成することにより、第1の実施例のチップ型NTCサーミスタ1に比べて低抵抗のNTCサーミスタを提供することができる。

【0037】また、チップ型NTCサーミスタ13においても、第1の実施例のチップ型NTCサーミスタ1と同様に種々変形することができる。すなわち、図6に示すチップ型NTCサーミスタ15のように、サーミスタ素体2の下面に第2の絶縁層5Aを形成してもよい。同様に、図7に示すチップ型NTCサーミスタ16のように、サーミスタ素体2の下面2d側に、第3、第4の内部電極3A、4A、第2の絶縁層5A及び第3、第4のスルーホール電極6A、7Aを形成してもよい。

【0038】また、サーミスタ素体2内に形成される第3の内部電極の数及び配置についても図示のものに限定されず、2以上の第3の内部電極をサーミスタ素体2内において同一高さ位置あるいは異なる高さ位置に形成してもよい。また、サーミスタ素体2内に複数の第3の内部電極を配置する場合、サーミスタ素体層を介して重なり合うように配置してもよく、重なり合わないよう配置してもよい。すなわち、所望とする抵抗値を実現し得るよう、サーミスタ素体内には、任意の形態で1以上の第3の内部電極を配置することができる。

【0039】上述した第1～第6の実施例では、絶縁層5、5Aはガラスを焼き付けることにより形成されていたが、絶縁層5、5Aはガラス以外の他の絶縁性材料、例えば絶縁性セラミックスや合成樹脂等により構成されていてもよい。

【0040】また、絶縁層は、サーミスタ素体2の上面2c上に、あるいは下面2c及び下面2dの双方に形成されていたが、絶縁層はサーミスタ素体の側面2e、2fに至るように形成されていてもよく、さらに端面2a、2bを除く上面2c、下面2d及び側面2e、2fを覆うように形成されていてもよい。

【0041】第1～第6の実施例では、チップ型NTCサーミスタに応用した例を示したが、本発明は、チップ型正特性(PTC)サーミスタに適用してもよく、あるいは固定抵抗やバリスタなどの他の抵抗器にも広く適用することができる。

【0042】

【発明の効果】請求項1に記載の発明に係る抵抗器では、第1、第2の内部電極が抵抗素体の第1の主面において所定距離を隔てて配置されており、該第1、第2の内部電極を埋設するように絶縁層が形成されており、該絶縁層を貫く第1、第2のスルーホール電極により第1、第2の内部電極がそれぞれ第1、第2の外部電極に接続されている。また、第1、第2の外部電極は、抵抗素体に対してオーミック接触されていない。従って、第1、第2の外部電極間において、第1、第2の内部電極間で取り出される抵抗値を取り出すことができる。

【0043】従って、第1、第2の外部電極の被り深さ、すなわち抵抗素体と絶縁層とを積層してなる構造の両主面及び両側面に至っている部分の長さにより、抵抗値がほとんど影響されず、取り出される抵抗値は第1、第2の内部電極間の抵抗値となる。よって、第1、第2の内部電極が、抵抗素体の第1の主面上において適宜の電極形成方法により容易にかつ高精度に形成され得るので、抵抗値のばらつきを低減することができる。加えて、抵抗値の微調整についても、第1、第2の内部電極の寸法や第1、第2の内部電極間距離を変更するだけで容易に行い得る。すなわち、抵抗値の微調整を容易にかつ安価に行い得る。

【0044】さらに、第1、第2の外部電極の上記被り深さが抵抗値にほとんど影響しないので、第1、第2の外部電極の被り深さについては、表面実装に適した大きさとしてすることができ、従って実装性能に優れた抵抗器を提供することができる。

【0045】請求項2に記載の発明では、抵抗素体内に第3の内部電極が埋設されているので、より低い抵抗値を有する抵抗器を提供することができる。請求項3に記載の発明では、抵抗素体の第2の主面に第2の絶縁層が形成されているので、第2の主面側における第1、第2の外部電極と抵抗素体との間の電氣的絶縁性をより確実に確保することができ、それによって第1、第2の外部電極の被り深さによる抵抗値の影響をより効果的に抑制することができる。

【0046】請求項4に記載の発明では、抵抗素体の第2の主面側において、第2の絶縁層、第3、第4の内部電極及び第3、第4のスルーホール電極が形成されているので、より低い抵抗値を有する抵抗器を構成することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るチップ型NTCサーミスタを説明するための縦断面図であり、図2のA-A線に沿う断面図。

【図2】図1に示した実施例のチップ型NTCサーミスタの外観を示す斜視図。

【図3】本発明の第2の実施例に係るチップ型NTCサーミスタを示す縦断面図。

【図4】本発明の第3の実施例に係るチップ型NTCサーミスタを示す縦断面図。

【図5】本発明の第4の実施例に係るチップ型NTCサーミスタを示す縦断面図。

【図6】本発明の第5の実施例に係るチップ型NTCサーミスタを示す縦断面図。

【図7】本発明の第6の実施例に係るチップ型NTCサーミスタを示す縦断面図。

【図8】従来のチップ型サーミスタの一例を示す縦断面図。

【図9】従来のチップ型サーミスタの他の例を示す縦断

面図。

【図 10】従来のチップ型サーミスタのさらに他の例を示す縦断面図。

【図 11】従来のチップ型サーミスタの他の例を示す縦断面図。

【符号の説明】

- 1…チップ型NTCサーミスタ
- 2…サーミスタ素体
- 2a…第1の端面
- 2b…第2の端面
- 2c…第1の主面としての上面
- 2d…第2の主面としての下面
- 2e, 2f…側面
- 3…第1の内部電極
- 3A…第3の内部電極
- 4…第2の内部電極

4A…第4の内部電極

5…絶縁層

5A…第2の絶縁層

6…第1のスルーホール電極

6A…第3のスルーホール電極

7…第2のスルーホール電極

7A…第4のスルーホール電極

8…第1の外部電極

9…第2の外部電極

10 11…チップ型NTCサーミスタ

12…チップ型NTCサーミスタ

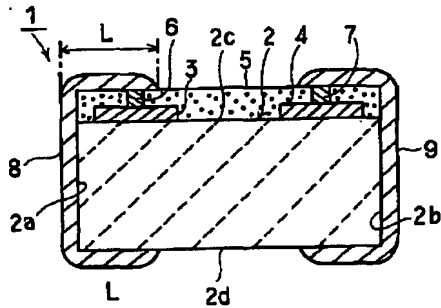
13…チップ型NTCサーミスタ

14…第3の内部電極

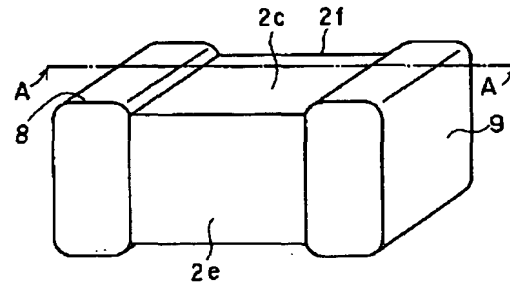
15…チップ型NTCサーミスタ

16…チップ型NTCサーミスタ

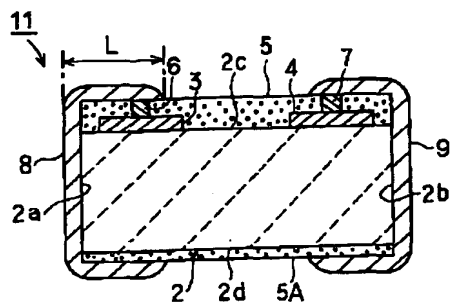
【図 1】



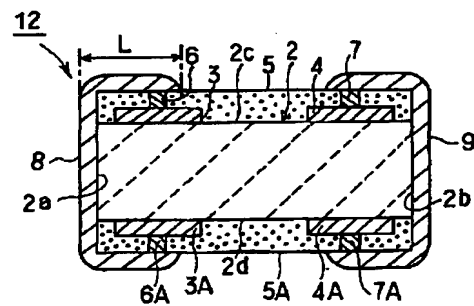
【図 2】



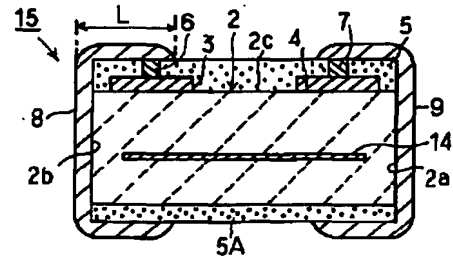
【図 3】



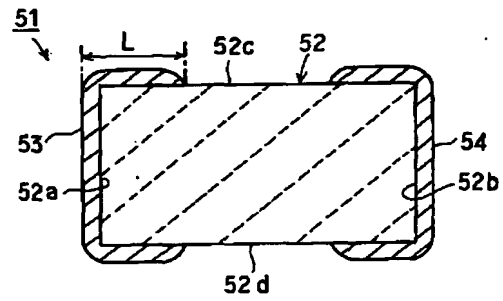
【図 4】



【图 6】



【图8】



【図 10】

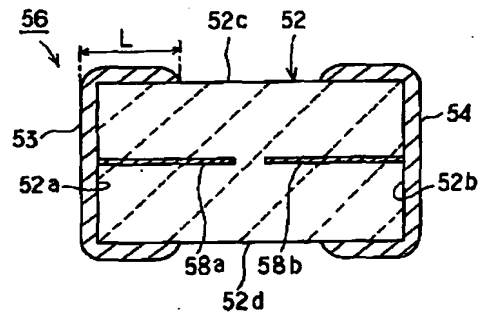


FIG. 1 is a cross-sectional view of a first embodiment of a semiconductor device. The device includes a substrate 53. A top layer 52 is formed on the substrate 53. The top layer 52 has a central region 52c and side regions 52a and 52b. A layer 60 is formed on top of the central region 52c. A layer 54 is formed on the side of the side region 52b. A layer 52d is formed at the bottom of the device. A dimension L is indicated for the top layer 52.